**TD 2 : SLP**

**Exercice 1 :** Dans cet exercice, on va comparer l'égalité entre deux bits à l'aide de bloc **comp2 suivant :**

**comparateur**

Bloc comp2. a) Ecrire le code VHDL du bloc comp2 à l'aide d'une architecture flot. b) Ecrire le code VHDL du bloc comp2 à l'aide d'une architecture comportementale. c) Le comparateur peut être décrit comme suit :

**XOR2 000 INV000**

B-

**comparateur**

Ecrire le code VHDL du composant **XOR2.** d) Ecrire le code VHDL du composant INV. e) Réécrire le code VHDL du comp2 à l'aide d'une architecture structurelle.

**Exercice 2 :** On veut réaliser le circuit séquentiel synchrone illustré par la figure suivante :

Compteur / Décompteur

modulo 8

Q0 -Q1

**CLK**

-02

**avec :**

CLK est l'entrée d'horloge du circuit. Si E=0, le circuit est un compteur.

Si E=1, le circuit est un décompteur. 1. Ecrire le code VHDL du circuit à l'aide d'une architecture comportementale. *2*. Ecrire le code VHDL du composant basc (bascule D).

clk

Figure 3.

3. Réécrire le code VHDL du circuit à l'aide d'une architecture structurelle.

Scanné avec CamScanner

***Exercice 3***

On veut réaliser le circuit illustré par la figure suivante.

Qg \*

***M*UXO**

**MUX1**

**MUX2**

***M*UX3**

Da 92-07-02- " h

2 as dicas de caspaik

liz:-D: OH

QR

CLKT

Figure 3. 1. Quel est le rôle de cc circuit. 2. Ecrire le code VHDL du circuit à l'aide d'une architecture comportementale. 3. Ecrire le code VHDL du composant MUX (multiplexcur 4 vers 1).

**E(0)**

***(*1)**

**Sm**

OUI

**L!*(*2)**

**L(3)**

š, s Figure 4.

4. Ecrire le code VHDL du composant basc (bascule D). 5. Réécrire le code VHDL du circuit à l'aide d'une architecture structurelle.

Scanné avec CamScanner

TD no

SLP

Exture

i

مرأة

*|*

بخیلز

Tb

czābtab

= amb: aob

1111

library ieee ; use crce stel- logic. 11601. - all; Ending compa2 is.' port" lab instal\_logic;

. Ci out std logic); and compa; -- architectu qe flat des données

architective auch comp of compa ir . Begin

C<= a m XOR B ;

end arch\_comp ; b) library ince ;

lise ieee. atd. logic \_1164.all, Entity compa is Pont (a, bi en sted. ley'e; C sont std - logoc).

End compe; , architecture compentementale

architections Archcomp & of comp a is begin. on concursante L<= '1' when a=b else

Scanné avec CamScanner

End

Anchamp 2

Preces (a,b)

begin.

if ash then loc='w

else clao.

incif;

İnch press;

-- compuscant xor 2

*Co*modinu

:)d)/ Library iece

lise lece , stol. logic 164, alls Entity Xora is part (Isote : In stol. logic;

- Sient stel- logic); end XORQ; architecture ar*ch* xore of Of 2 is Segui

0<= In Nor Ia.j

and arch XDR 2; -- composant Int

Library ieee ; . lise ieee. Std\_ logic - 16*4* .a*f*l; entity into is part (I : In stol logic;

o out stol- logic); end ini, architecture archino of im is

Scanné avec CamScanner

$ 0 Ovo 0

OL= moti;

end arch wv ,

library iece ; Uke hele 4d logic 1*964*all;

Entity Comp 26 Port (a, b in std\_logic;

Cisnet site tegie*)* End compas;

-- ar*chite*cture Ar*chite*cture Arch compes of compz is Component Xora prt (In Is In td logic,

O: Ont std. viopic.); and component;

Component in

put ( I:In ut loque;

Fortt. xore une entity wnt

of 2 (auch or 2)

Scanné avec CamScanner

pat

10->,1))

Qo

comp/Decong

*moclu la 3*

ما

CLK

Qe

1)

litary ince; exe ieee, sted \_ Bergpie... *Albei* all; Entity complecwing is port (E, CLk : Im del lopez

@, Pe. Q. onda stdlogoe), end Compe Decemp; -- arctütecture Comportementale.

Architecture ar*klomp*ieriemy o*f complécomp is* Sigmal cittd\_clogic - veeter (a clowntoo);

CLE"000";

proces (E, CLK)

Begini E ='ll them

if rising-edge (CLK) then

else endig cs=cres

*if* rusing-edge (CLK) *t*hen

Scanné avec CamScanner

cc:c-A

endif.

end process ;

To c= clo);

<=C(1);

*u*

*p p pus*o dal on

722*1*

Olica C(2), aut arch complecimp,

ries: 6 E) Registri a decalage à gauche (6)

2 limary leee;

luie ieee, stel, Iseyi'c \_ m64. old; entity exemple is . pirt (so, SA, CLK ,Das DG , A, B, C, D : in sto\_logic;

QeQo : sut Ad\_logi*c)*; . end exemple : Ar*ch*itecture archeo*ple o*f *e*nemple is

Signal Zo, Qo, Z, iQr. Zz, Qz iZz o Qu isto logic;

Qistedlogne seclér (3 demuntoo)*,* Begui. Q<= '0000" Process *1*5, Sa CLK*)*

Begin zlok (mot SA) and (not S..) and (DIA)) or (so and (not S.)

and (Peor (not so) and litor) and A Z(A) <= Z(2) <= Z(3) <=

for i in o to 3 loop

if resing edge (CLK) then

D(i) <= 2(0*);*

so sn

margim

Scanné avec CamScanner

Qeza Q (B) Que Dlo) od plass And auch cule

Scanné avec CamScanner